

JP2002299574

Publication Title:

MAGNETIC STORAGE ELEMENT, MAGNETIC STORAGE DEVICE AND PORTABLE TERMINAL

Abstract:

Abstract of JP2002299574

PROBLEM TO BE SOLVED: To improve power consumption, crosstalk and EM at the time of writing, in a magnetic storage element or a magnetic storage device. **SOLUTION:** Two write lines 2 and 3 are arranged in parallel in the vicinity of a TMR cell 1 and the easy axis of magnetization of the TMR cell 1 is inclined 45 deg. against the write lines. Two write lines 2 and 3 are provided with a magnetic shield 4 for interrupting the influence of external magnetic field at least in the vicinity of the TMR cell 1.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

This Patent PDF Generated by Patent Fetcher(TM), a service of Stroke of Color, Inc.

Patent provided by Sughrue Mion, PLLC - <http://www.sughrue.com>

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-299574
(P2002-299574A)

(43)公開日 平成14年10月11日(2002. 10. 11)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 1 L 27/105		G 1 1 C 11/14	A 5 F 0 8 3
G 1 1 C 11/14		11/15	
	11/15	H 0 1 L 43/08	Z
H 0 1 L 43/08		27/10	4 4 7

審査請求 未請求 請求項の数6 O L (全 10 頁)

(21)出願番号 特願2001-95976(P2001-95976)

(22)出願日 平成13年3月29日(2001. 3. 29)

(71)出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72)発明者 斉藤 好昭

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 砂井 正之

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

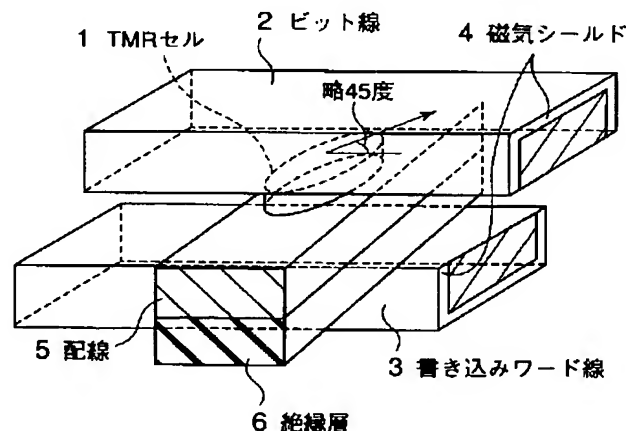
最終頁に続く

(54)【発明の名称】 磁気記憶素子、磁気記憶装置および携帯端末装置

(57)【要約】

【課題】磁気記憶素子或いは磁気記憶装置の書き込み時の消費電力、クロストーク、EMの改善を図る。

【解決手段】2つの書き込み線2、3を少なくともTMRセル1近傍において平行に配置し、TMRセル1の磁化容易軸をこれと45°傾けて配置する。2つの書き込み線2、3には少なくともTMRセル1近傍において、外部磁場の影響を遮断する磁気シールド4を備える。



【特許請求の範囲】

【請求項 1】 第 1 の書き込み線と、

前記第 1 の書き込み線の直上に備えられ、少なくとも 1 つのトンネルバリア層と、少なくとも 2 つの強磁性層と、少なくとも 1 つの反強磁性層とを有し、磁化容易軸が前記第 1 の書き込み線と略 45° の角度を有する強磁性トンネル接合膜と、

前記強磁性トンネル接合膜の上面に接続され、少なくとも前記強磁性トンネル接合膜の近傍で前記第 1 の書き込み線と平行な第 2 の書き込み線と、を具備することを特徴とする磁気記憶素子。

【請求項 2】 前記第 1 及び第 2 の書き込み線が、少なくとも前記強磁性トンネル接合膜の近傍において、外部磁場の影響を遮断する磁気シールドを具備することを特徴とする請求項 1 または請求項 2 に記載の磁気記憶素子。

【請求項 3】 少なくとも 1 つのトンネルバリア層と、磁気記録層を含む少なくとも 2 つの強磁性層と、少なくとも 1 つの反強磁性層とを有する強磁性トンネル接合膜と、
前記強磁性トンネル接合膜の磁化容易軸方向の両端に備えられた、前記磁気記録層より軟磁性を示すソフト磁性バイアス層と、を具備することを特徴とする磁気記憶素子。

【請求項 4】 前記強磁性層の少なくとも一層が、強磁性層／非磁性金属層／強磁性層の 3 層構造を含む積層層で置換されていることを特徴とする請求項 1 乃至請求項 3 に記載の磁気記憶素子。

【請求項 5】 各々が前記第 2 の書き込み線からなる複数のビット線と、
前記複数のビット線と交差する読み出し用の複数のワード線と、
前記ビット線とワード線の各交差点に備えられた請求項 1 乃至請求項 4 のいずれかの磁気記録素子とトランジスタあるいはダイオードと、を具備することを特徴とする磁気記憶装置。

【請求項 6】 請求項 5 の磁気記憶装置を搭載することを特徴とする携帯端末装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁気記憶素子、磁気記憶装置およびそれを用いた携帯端末装置に関する。

【0002】

【従来の技術】近年、2 つの磁性金属層の間に一層の誘電体を挿入したサンドイッチ膜において、膜面に垂直方向にトンネル電流を流し、このトンネル電流を利用して抵抗変化を読み取ることで磁気抵抗効果素子、いわゆる強磁性トンネル接合素子 (TMR 素子) が見出されている。

【0003】強磁性トンネル接合は、20%以上の磁気

抵抗変化率が得られるようになったことから (J. Appl. Phys. 79, 4724 (1996) 参照)、磁気ヘッドや磁気抵抗効果記憶装置 (USP 5,640,343, USP 5,734,605 参照) への応用の可能性が高まってきた。この強磁性トンネル接合は、薄い $0.4\text{ nm} \sim 2.0\text{ nm}$ 厚の Al 層を強磁性電極上に成膜した後、表面を純酸素または酸素グロー放电、または酸素ラジカルに曝すことによつて、 AlO_x からなるトンネルバリア層を形成している。

【0004】また、上記強磁性 1 重トンネル接合の一方の強磁性層に反強磁性層を付与し、その一方の強磁性層を磁化固定層とした構造を有する強磁性 1 重トンネル接合が提案されている (特開平 10-4227 参照)。しかし、この強磁性トンネル接合素子 (強磁性 1 重トンネル接合) でも、所望の出力電圧値を得るため強磁性トンネル接合素子に印加する電圧値を増やすと磁気抵抗変化率 (MR 比) がかなり減少するという問題が同様に存在する。

【0005】また、誘電体中に分散した磁性粒子を介した強磁性トンネル接合、または、強磁性 2 重トンネル接合が提案されている (特願平 9-260743、Phys. Rev. B 56(10), R5747 (1997)、応用磁気学会誌 23, 4-2, (1999)、Appl. Phys. Lett. 73(19), 2829 (1998) 参照)。これらにおいても、20%以上の磁気抵抗変化率が得られるようになったことから、磁気ヘッドや磁気抵抗効果記憶装置への応用の可能性が出てきた。

【0006】これら強磁性 2 重トンネル接合では、強磁性 1 重トンネル接合に比べて、バイアス電圧にともなう MR 比の低下が少ないため、大きな出力が得られるという特徴を有している。

【0007】これら強磁性 1 重および 2 重トンネル接合を用いた磁気記憶素子は不揮発であり、書き込み読み出し時間が 10 nsec 以下と速く、書き換え回数が 10^{15} 回以上、セルサイズも DRAM 並みに小さくできる潜在能力を有する。

【0008】特に、強磁性 2 重トンネル接合を用いた磁気記憶素子は、上述したように、所望の出力電圧値を得るため強磁性トンネル接合素子に印加する電圧値を増やしても磁気抵抗変化率の減少が抑えられるため、大きな出力電圧がとれ、磁気記憶素子として好ましい特性を示す。

【0009】しかし、これら強磁性 1 重および 2 重トンネル接合を用いた磁気記憶素子は、強磁性体を用いているため、大容量化し強磁性トンネル接合のセル幅を小さくすると、FeRAM、フラッシュメモリ等の競合メモリに比べて、書き込み時の消費電力が大きいう問題が存在する。

【0010】スイッチング磁界が増大すると、書き込み時の消費電力が増大するばかりか、磁気ランダムアクセスメモリ (MRAM) を高密度化し、設計ルールを小さくした場合、スピンを反転させるためにワード線、ビット

3

線に流す電流密度が増大し、エレクトロマイグレーション (EM: Electro-Migration) の問題が生じる。

【0011】設計ルールを $0.1 \mu\text{m}$ とした場合の TMR セル面内方向の電流磁界分布と強度の電磁界シミュレーションの結果から、配線に流す電流密度を $5 \times 10^6 \text{ A/cm}^2$ を仮定した場合においても、電流磁界の強度は高々 10 エルステッド (Oe) のオーダーであることが分かる。

【0012】また、MRAM の容量が 1 Gbit 程度になり、隣接セル間が $0.1 \mu\text{m}$ 程度になると、隣接セルに印加される磁場は配線上のセルに印加される磁場の約 80% にもおよび、セル間の干渉、いわゆるクロストークの問題も生じてくる。

【0013】これらクロストークの問題を解決するために、隣接セル間の容易軸方向を異なる方向にすることが提案されている (USP 6,005,800 参照)。この方法を用いるには、セル形状を正確にばらつき無く形成する必要がある。しかしながら、MRAM を大容量化しセルサイズを小さくすると、加工精度の制御が困難になり、セルのスイッチング磁界がばらつき、クロストークを無くすることが難しくなると言う問題があった。

【0014】また、スイッチング磁界の大きさは、TMR のセルサイズ、セル形状、材料の磁化特性、膜厚等に依存する。例えば、前述のように TMR のセルサイズが小さくなれば、反磁場の影響でスピンの反転磁場が増大する。

【0015】セル形状に関しては、矩形のセル形状では端部に磁区が発生し、ヒステリシスの角型比が悪くなるとともに、段差状のとびが生じる。また、その磁区のでき方に依存してスイッチング磁場のばらつきが生じる。セル形状を楕円形にすると単磁区構造が得られ、MR 比も低下しないが、スイッチング磁界のセルサイズに伴う増大が大きい。

【0016】また、これらを解決するために略直行したビット線とワード線が交差する部分に磁気メモリセルがあり、そのセルの形状が磁化容易軸に関して非対称であることを特徴とした構造、容易軸を多少配線方向から傾けた構造が提案されている (USP 6,104,633 参照)。

【0017】しかし、形状制御は前述した様に MRAM を大容量化しセルサイズが小さくなると、加工精度を制御することができないという問題があり、セルのスイッチング磁界がばらついてしまうという問題があった。

【0018】また、セルの容易軸を多少配線方向から傾けた構造においてスイッチング磁界は低減されるが、大容量化した場合クロストークの問題が深刻化する。

【0019】これらの課題 (クロストークおよびセル幅減少に伴うスイッチング磁界増大) を解決するためには、配線に磁気シールドを付与する必要があると考えられている。磁気シールドを配線に付与すると (USP 5,659,499、USP 5,940,319、WO 200010172 参照)、電流磁

4

界の値が増大するばかりでなく、上記クロストークの問題も解決できるからである。

【0020】ビット線とワード線の断面アスペクト比を 1:2、ビット線およびワード線と記録層間の距離をそれぞれ 10 nm、50 nm と仮定し、それらに流す電流の電流密度として現実的な $2.5 \times 10^6 \text{ A/cm}^2$ と仮定した場合に、TMR セルに生じる電流磁界は 87 エルステッド (Oe) となる。しかし、MR 比が大きい Co-Fe の内、最もソフトである $\text{Co}_{90}\text{Fe}_{10}$ を用いてもセル巾を $0.1 \mu\text{m}$ 以下にするとスイッチング磁界は約 200 エルステッド (Oe) に達し、1 Gbit MRAM 実現のためには更なる新しいセル構造、メモリ構造が必要となる。

【0021】また、HDD 用磁気ヘッド材料として強磁性トンネル接合を用いる場合、バルクハウゼンノイズを低減するため強磁性トンネル接合に隣接してハードバイアス層を設けた構造 (USP 5,729,410、USP 5,966,012 参照) が提案されている。しかしながら、スイッチング磁界の低減には、ハードバイアス層を用いることは好ましくない。

【0022】

【発明が解決しようとする課題】上述したように、MRAM は、大容量化した場合、FeRAM、フラッシュメモリ等の競合メモリに比べて、書き込み時の消費電力が大きいという問題、クロストークの問題、エレクトロマイグレーション (EM) の問題があった。

【0023】本発明は、これら課題を解決するためになされたものであり、書き込み時の消費電力を低減し、クロストークの無い、EM の問題も生じないメモリ構造および配線構造を備えた磁気記憶素子、磁気記憶装置及びこれを用いた携帯端末装置を提供することを課題とする。

【0024】

【課題を解決するための手段】上記課題を解決するために、本発明の第 1 の磁気記憶素子は、第 1 の書き込み線と、前記第 1 の書き込み線の直上に備えられ、少なくとも 1 つのトンネルバリア層と、少なくとも 2 つの強磁性層と、少なくとも 1 つの反強磁性層とを有し、磁化容易軸が前記第 1 の書き込み線と略 45° の角度を有する強磁性トンネル接合膜と、前記強磁性トンネル接合膜の上面に接続され、少なくとも前記強磁性トンネル接合膜の近傍で前記第 1 の書き込み線と平行な第 2 の書き込み線とを具備することを特徴とする。

【0025】また、本発明の第 2 の磁気記憶素子は、少なくとも 1 つのトンネルバリア層と、磁気記録層を含む少なくとも 2 つの強磁性層と、少なくとも 1 つの反強磁性層とを有する強磁性トンネル接合膜と、前記強磁性トンネル接合膜の磁化容易軸方向の両端に備えられた、前記磁気記録層より軟磁性を示すソフト磁性バイアス層とを具備することを特徴とする。

【0026】

【発明の実施の形態】実施形態の説明に先立ち本発明の骨子を説明する。本発明の第1の磁気記憶素子は、少なくとも1つのトンネルバリア層と、少なくとも2つの強磁性層と少なくとも1つの反強磁性層を有する強磁性トンネル接合を有する記録セルと記録セルの上下に平行に配置された2つの書きこみ配線を有し、この2つの書きこみ配線と記録セルの長軸（磁化容易軸）方向が略45°の方向を有していることを特徴としている。さらに、上記2つの書きこみ配線は磁気シールド材料で囲まれていることを特徴とする。

【0027】本発明の磁気記憶素子は、図1に示すように、強磁性トンネル接合（TMR）セル1の上下の配線（ビット線2および書き込みワード線3）は少なくともTMRセル1の上下の位置において互いに略平行に配置され、その配線方向に対してTMRセル1の磁化容易軸が略45°の方向を向くように配置されている。また、上記配線のTMRセル1の上下にTMRセル長手方向の1.2倍以上の配線長さに渡って、配線にシールド材4が付与されている。なお、参照番号5はビット線2に直交する読み出しワード線、あるいはトランジスタ、ダイオード等の導通制御素子に接続する配線、6は配線5と書き込みワード線を絶縁する絶縁層である。TMR素子1はビット線2と配線5の間に挟持され接続されている。

【0028】これに対し、従来の磁気記憶素子は図16に示すように、ビット線102と書き込みワード線103は直交しており、TMRセル1はその磁化容易軸がビット線方向に向くように、ビット線102と配線105との間に挟持され接続されている。なお、参照番号105は読み出しワード線、あるいはトランジスタ、ダイオード等の導通制御素子に接続する配線、106は配線105と書き込みワード線103を絶縁する絶縁層である。

【0029】本発明の構造を用いた場合、上下の平行配線に互いに反対方向のパルス電流を流すと、スイッチング磁場曲線が図2に示したように変形し、従来のアステロイド曲線に比べてより小さな磁場で書き込みを行うことができる。

【0030】より詳細には、図16に示すような従来のクロスポイントのアーキテクチャーでは、アステロイド曲線は図2のBのような曲線になる。この曲線の外側の磁場が与えられた場合には、スピンの反転が生じる。図2から明らかなように、上部配線が作る磁場と下部配線の作る磁場の合成磁場が45°方向のときに、最も小さな磁力でスピンの反転が生じることになる。従って、本発明のように、ビット線1と書き込みワード線3を平行として、TMR素子1の磁化容易軸を45°傾けると、図2のAで示すように、スイッチング磁場曲線を小さくすることができる。

【0031】本発明の構造にした場合、配線ルールを

0.1 μm まで小さくし、隣接セル間を狭くしても、配線2、3にシールド材4が付与されていること、スイッチング磁場曲線がクロストークに対してより有利な形状をしているためクロストークの心配がない。

【0032】この構造の場合、配線2、3に付与するシールド材4の長さは少なくともTMRセル1の長手方向の長さの1.2倍以上であることが好ましい。この長さ以上にするとシールド材4が電流磁場を増強する効果も持たせることができるため、よりスイッチング磁界が小さくなる方向に、スイッチング磁界曲線を小さくすることができる。

【0033】上記の構造を実現する具体的な実施形態を次に説明する。

【0034】（第1の実施形態）図3は、本発明の第1の実施形態に係る磁気記憶素子を用いたメモリセルアレイ（磁気記憶装置）の構成を示した模式的な結線図であり、メモリセルにはダイオード、トランジスタ等のスイッチング素子を備えない単純マトリックスのアーキテクチャである。

【0035】複数のビット線BL（第2の書き込み線）と複数の読み出しワード線WLは略垂直に交差し、各交差点にはTMRセル1がビット線BLと読み出しワード線WLの間に接続されている。各ビット線に平行に書き込みワード線WL'（第1の書き込み線）が設けられており、この書き込みワード線WL'とビット線BLはTMRセルの容易軸方向と略45度の角度をなして交差している。これらのビット線BL、書き込みワード線WL'には、図1に示したように、磁気シールドが付与されている。上記メモリセルアレイの外側には、読み出しワード線WLを選択するカラムデコード11と、ビット線BL、書き込みワード線WL'を選択するローデコード12が備えられている。

【0036】なお、図3において、ビット線BL、読み出しワード線WL、書き込みワード線WL'は各3本しか記載されていないが、夫々所望の複数本を備えることができる。後述の実施形態における結線図においても同様である。

【0037】上記のように構成することにより、従来より小さい磁場で書き込みが可能になるので、書き込み時の消費電力が低下し、エレクトロマイグレーションも抑制され、クロストークの無いメモリ及び配線構造を提供することができる。

【0038】なお、このアーキテクチャを用いる場合、ビット線BL、書き込みワード線WL'の抵抗よりTMRセルの抵抗が大きくなければいけないため、メモリ1ブロック当たりのTMRセルの数は10Kbit以下であることが好ましく、より好ましくは3Kbit以下とすべきである。

【0039】（第2の実施形態）図4は、本発明の第2の実施形態に係る磁気記憶素子を使用したメモリセルア

レイ（磁気記憶装置）の構成を示した模式的な結線図である。第2の実施形態では、TMRセル1とこれに直列接続されたダイオード7とからなるメモリセルのマトリックスに、第1の実施形態と同様にビット線BL、ビット線BLに交差する読み出しワード線WL、ビット線BLに平行な書き込みワード線WL'を配したアーキテクチャである。

【0040】また、第2の実施形態においても、ビット線BL、書き込みワード線WL'と、TMRセル1の磁化容易軸方向とは略45度の角度をなし、ビット線BL、書き込みワード線WL'には磁気シールド（不図示）が付与されている。

【0041】これにより、第1の実施形態と同様な効果が得られるとともに、TMR素子1に直列にダイオード7が付加されたことにより、アクティブマトリックス型のメモリセルアレイが実現できる。

【0042】（第3の実施形態）図5は、本発明の第3の実施形態に係る磁気記憶素子を用いたメモリセルアレイ（磁気記憶装置）の構成を示した模式的な結線図である。第3の実施形態では、TMRセル1とMOSFET8からなるメモリセルのマトリックスに、第1の実施形態と同様にビット線BL、ビット線BLに交差する読み出しワード線WL、ビット線BLに平行な書き込みワード線WL'を配したアーキテクチャである。

【0043】このアーキテクチャにおいても、ビット線BL、書き込みワード線WL'と、TMRセル1の磁化容易軸方向とは略45度の角度をなし、ビット線BL、書き込みワード線WL'には磁気シールド（不図示）が付与されている。

【0044】これにより、第1の実施形態と同様な効果が得られるとともに、TMR素子1にMOSFET8が付加されたことにより、アクティブマトリックス型のメモリセルアレイが実現できる。

【0045】次に、具体例として、MOSFETとTMRセルの本実施形態のメモリセルを用いて、3×3セルマトリックスのテストエレメント（TEG1）を作製した例を示す。比較のため、図16に示した通常のMOSFETとTMRセルのアーキテクチャで3×3セルマトリックス構造のテストエレメント（TEG2）を作製し、スイッチング磁界特性を比較した。配線はAl-Cu配線を用い、配線ルールは0.175μm、配線断面のアスペクト比は1:2とし縦長の配線を用いた。

【0046】TMRセルは、両方とも楕円形状とし、本発明の構造（図1）を用いたTEG1は、配線（ビット線、書き込みワード線）に対してTMRセルの磁化容易軸を45°方向に傾けてある。シールド材料としてはNi-Feを用いCVD法で作製した。各配線を成膜する前にはCMP処理を行い、TMRセルとビット線BL、書き込みワード線WL'の間の距離は、両方のテストエレメントとも同じに設計した。

【0047】TMRセルは両方とも、強磁性二重トンネル接合（Ta/Ir-Mn/（CoFe/Ru/CoFe）/AlO_x/Ni-Fe/AlO_x/（CoFe/Ru/CoFe）/Ir-Mn/Ta）を用いている。

【0048】TMRセルは超高真空スパッタ装置を用い成膜を行い、AlO_xの作製は、Alを成膜した後、プラズマ酸化を行う方法で作製した。図6は本実施形態のアーキテクチャを用いた場合のスイッチング磁界曲線Cと、図16の通常のアーキテクチャを用いた場合のスイッチング磁界曲線Dを示したものである。図6に示したように、本実施形態のスイッチング磁界曲線は著しく縮小し、書き込み時の消費電力を低減し、クロストークの無い、エレクトロマイグレーションの問題も生じないメモリ構造を提供できることが確認された。

【0049】（第4の実施形態）図7は、本発明の第4の実施形態に係る磁気記憶素子を用いたメモリセルアレイ（磁気記憶装置）の構成を示した模式的な結線図である。第4の実施形態では、TMRセル1とMOSFET8からなるメモリセルのマトリックスに、略直交するビット線BL、読み出しワード線WLを配するが、書き込みワード線WL'は読み出しワード線WLと平行に配置されており、TMRセル1の上または下を通過する位置においてのみ、ビット線BLと書き込みワード線WL'が平行とされたアーキテクチャーである。

【0050】図8は、図7中のV I I I部の配線状態を表した模式的な平面図であり、この場合、ワード線WL'が下部配線、ビット線BLが上部配線であり、TMR素子1はビット線BLの下面に接続されており、その磁化容易軸はビット線BLおよびその下部に絶縁的に配置されたワード線WL'の部分に対して略45°傾いて配置されている。

【0051】図9は、図7の1メモリセル部の模式的な断面図で、上半分が図8に示した上部配線（BL）と下部配線（WL'）の位置関係を断面的に示している。即ち、下部配線（WL'）は図9の右部分では上部配線（BL）に垂直に配置されているが、図9の中央部では上部配線（BL）と平行とされ、上部配線との間にTMR1とダイオード9を挟持した形になっている。但し、ダイオード9はTMR素子1の抵抗がMOSFET8のオン抵抗に比べて5倍程度以上大きい場合には不要である。TMR1は、断面図では明らかではないが、その磁化容易軸が上部配線、下部配線と略45°傾いて配置されている。

【0052】上記のような構成とすれば、第3の実施形態と同様な効果が得られるほか、読み出しワード線WLと書き込みワード線WL'を同一方向に配線すれば良いので、ワード線駆動回路（デコーダ）の配置が簡略化できる。

【0053】第1乃至第4の実施形態において、メモリセルアレイの周りにはビット線BL、読み出しワード線

WL、書き込みワード線WL'を選択するためのカラムデコーダ11、ローデコーダ12が配置されており、メモリブロック毎に配置された参照セル（不図示）と比較してTMRセルからの信号電圧が大きい小さいかによって“1”か“0”を判断する。

【0054】参照セルの電圧値は、TMRセルの信号電圧が高い隣同士のスピンの配置が反平衡状態の電圧値と、信号電圧が小さい隣同士のスピンの配置が平衡状態の電圧値の約中間の電圧値を有する参照セルを用いることが好ましい。

【0055】次に、本発明の第2の磁気記憶素子についてその骨子を説明する。本発明の第2は、少なくとも1つのトンネルバリア層と、少なくとも2つの強磁性層と少なくとも1つの反強磁性層を有する強磁性トンネル接合を有する記憶セルに記憶セルの磁化容易軸方向にソフト磁性バイアス層が付与されていることを特徴とした磁気記憶素子である。

【0056】図10はTMRセルを上から見た図面を示している。本発明では、TMRセル1の記憶層に隣接してソフト磁性バイアス層10が付与されている。バイアス層10は磁場が無い時($H=0$)には、端部にエッジドメインが生じているが、バイアス磁界が与えられるとスピンの反転する。このように、電流磁界に応じてまずソフトバイアス層が反転するため、ソフト磁性層からのバイアス磁界によってTMRセル1のスイッチング磁場が小さくなる。

【0057】図10には長方形のTMRセル形状が、図11にはTMRセル形状が楕円形のセルを示したが、セル形状は長方形、楕円である必要は無い。たとえば、図11(a)～(d)に示したように様々なセル形状を用いることができる。図11(a)、(b)は上述の楕円形、円形であり、図11(c)、(d)は夫々菱形、平行四辺形の例を示す。ソフトバイアス層としてはどのような形状を用いても良いが、例えば楕円形、円形、平行四辺形、菱形を用いた場合は、単磁区構造に近くなるため有効にバイアス磁界が印加され、誤動作が少ない。また、円形の場合セル構造が最も小さくできるので好ましい。

【0058】また、サブミクロン以下にソフト磁性層とTMRセルを制御すると、TMRセルとソフト磁性層の間に静磁結合が生じる。このため、図11(b)に示したようにTMRセル1を細長の形状にしなくても、ソフト磁性層の方向に磁化容易軸を規定できる。そのうえ、セル面積を小さくできるので、より大容量の磁気記憶装置(MRAM)が作製できる。これら構造においては、図11(b)の円形の構造が最も小さなスイッチング磁界を示す。

【0059】また、本発明の第1と第2を組み合わせ使用する時が最もスイッチング磁界が小さく、その場合ソフトバイアス層同士を結ぶ軸方向を、配線方向と略4

5°方向に傾けることが好ましい。第5の実施形態はそのような例である。

【0060】(第5の実施形態)第5の実施例では、図11(b)の構造のTMRセル1とMOSFETを有する第3の実施形態(図5)の構造の3×3セルマトリックスのテストエレメント(TEG3)と、単純な楕円形状TMRセルを有する第3の実施形態(図5)による3×3セルマトリックス構造のテストエレメント(TEG4)を作製し、スイッチング磁場特性を比較した。

10 【0061】配線はAl-Cu配線を用い、配線ルールは0.25 μ m、配線の断面アスペクト比は1:2とし縦長断面の配線を用いた。両テストエレメントともTMRセルを配線(ビット線BL、書き込みワード線WL')に対して45°方向に傾けてある。シールド材料としてはNi-Feを用いCVD法で作製した。各配線を成膜する前にはCMP処理を行い、TMRセルとビット線BL、書き込みワード線WL'の間の距離は両テストエレメントとも同じに設計した。TMRセルは両方とも、強磁2重トンネル接合(Ta/Ni-Fe/Pt-Mn/(CoFe/Ru/CoFe)/AlOx/(Co-Fe-Ni/Cu/Co-Fe-Ni)/AlOx/(CoFe/Ru/CoFe)/Pt-Mn/Ta)を用いている。

20 【0062】TMRセル1は超高真空スパッタ装置を用い成膜を行い、AlO_xの作製は、Alを成膜した後、プラズマ酸化をおこなう方法で作製した。図12は第5の実施形態のアーキテクチャ(TEG3)を用いた場合(E)と、第3の実施形態の構造(TEG4)を用いた場合(F)のスイッチング磁場曲線を示したものである。図12に示したように、第5の実施形態のスイッチング磁場曲線は、第3の実施形態に比べても著しく縮小する。この結果、書き込み時の消費電力が低減し、クロストークの無い、EMの問題も生じないメモリ構造を提供できることが確認された。

【0063】上記の第1乃至第5の実施形態で説明した磁気記憶装置は、携帯電話等のメモリ部に搭載するのに好適である。

【0064】なお、第1乃至第5の実施形態を通じ、TMR素子(セル)構造としては、図13、図14に示したように反強磁性層21、31を付与するいわゆるスピンプルズ型にすることが好ましい。なお、図13において、参照番号22、24は強磁性層、23はトンネルバリア層で、少なくとも1つのトンネルバリア層と、少なくとも2つの強磁性層と、少なくとも1つの反強磁性層を有するトンネル接合構造である。また、図14において、参照番号32、34、36は強磁性層、33、35はトンネルバリア層、31、37は反強磁性層である。

【0065】また、上記強磁性層(磁気固着層)32を、図15のように、(強磁性層32-1/非磁性層38/強磁性層32-2)の3層構造で非磁性層を介して

反強磁性結合をしているいわゆる反強磁性結合層で置換することができる。

【0066】この3層構造をピン（磁気固着）層として用いることにより、より強固にピン層のスピンを固着することができるため、何度かの書き込みによって磁気固着層の一部の磁気モーメントが回転してしまい出力が徐々に低下してしまうという問題が完全に無くなること、反強磁性膜の膜厚を薄くでき加工精度が上がることなどのメリットがあり、スイッチング磁場のバラツキが減少する。

【0067】また、磁気記録層も（強磁性層／非磁性層／強磁性層）の3層構造を用いることが好ましい。この場合、強磁性層間に強磁性層結合があることが好ましい。この構造を磁気記録層に用いると、スイッチング磁場のセル幅依存性が小さく（セル幅を小さくしてもスイッチング磁場の増大が小さく、MRAMを大容量化し、TMR素子のセル幅が小さくなくても消費電力の増大、書きこみ時の配線のエレクトロマイグレーションの心配が無く、更なる大容量MRAMを作製できる。強磁性結合の強さは弱い方が好ましく、弱いほどスイッチング磁場は小さくなる。

【0068】本発明の強磁性層の元素、種類は、特に制限はなく、は、Fe、Co、Ni、またはそれらの合金、スピン分極率の大きいマグネタイト、CrO₂、R₂XMnO_{3-y}（R：希土類、X：Ca、Ba、Sr）などの酸化物の他NiMnSb、PtMnSbなどのホイスラー合金、Zn-Mn-O、Ti-Mn-O、CdMn₂P₂、ZnMn₂P₂などの磁性半導体を用いることができる。

【0069】本発明の強磁性層の膜厚は超常磁性にならない程度の厚さが必要であり、0.4nm以上であることが好ましい。また、あまり厚いとスイッチング磁場、漏れ磁場が大きくなってしまうため、3.0nm以下で有ることが好ましい。また、これら磁性体にはAg、Cu、Au、Al、Mg、Si、Bi、Ta、B、C、O、N、Pd、Pt、Zr、Ir、W、Mo、Nbなどの非磁性元素が多少含まれていても強磁性を失わない限り良い。

【0070】反強磁性膜は、Fe-Mn、Pt-Mn、Pt-Cr-Mn、Ni-Mn、Ir-Mn、Ru-Mnなどを用いることができる。フリー（記録）層に強磁性層／非磁性層／強磁性層の3層膜を用いる場合、その非磁性層としては、Cu、Au、Ru、Ir、Rh、Agなどを用いることができる。

【0071】誘電体または絶縁層としては、Al₂O₃、SiO₂、MgO、AlN、AlON、GaO、Bi₂O₃、SrTiO₂、AlLaO₃などの様々な誘電体を使用することができる。これらは、酸素、窒素欠損が多少存在していてもかまわない。

【0072】誘電体層の厚さはTMR素子の接合面積に

依存し、3nm以下であることが好ましい。基板材料は特に制限はなく、Si、SiO₂、Al₂O₃、AlNなど各種基板上に作製できる。その上に、下地層、保護層として、Ta、Ti、Pt、Pd、Au、Ti/Pt、Ta/Pt、Ti/Pd、Ta/Pdなどを用いることが好ましい。

【0073】このような磁気抵抗効果素子は、各種スパッタ法、蒸着法、分子線エピタキシャル法などの通常の薄膜形成装置を用いれば作製することができる。

10 【0074】

【発明の効果】以上説明したように、本発明によれば、書き込み時の消費電力を著しく低減することができ、従来の磁気記憶装置（MRAM）が有する消費電力が大きいという問題、クロストークの問題、エレクトロマイグレーション（EM）の問題等が解決された高密度磁気記憶素子あるいは磁気記憶装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の磁気記憶素子の基本形態を示す斜視図。

20 【図2】本発明第1の基本形態を用いた場合のスイッチング磁場曲線（A）と従来のスイッチング磁場曲線（B）を比較した図。

【図3】本発明の第1の実施形態に係る磁気記憶装置のアーキテクチャを示す回路図。

【図4】本発明の第2の実施形態に係る磁気記憶装置のアーキテクチャを示す回路図。

【図5】本発明の第3の実施形態に係る磁気記憶装置のアーキテクチャを示す回路図。

30 【図6】第3の実施形態の磁気記憶装置のスイッチング磁場曲線（C）と従来のスイッチング磁場曲線（D）を比較した図。

【図7】本発明の第4の実施形態に係る磁気記憶装置のアーキテクチャを示す回路図。

【図8】第4の実施形態における上部配線、下部配線、TMR素子の配置の状態を示す模式的な平面図。

【図9】第4の実施形態における1メモセルの模式的な断面図。

【図10】本発明の第2の磁気記憶装置の基本形態を示す模式的な平面図。

40 【図11】本発明の第2の磁気記憶装置のセル形状（平面図）の例。

【図12】本発明の第5の実施形態に係る磁気記憶装置のスイッチング磁場曲線（E）を第3の実施形態の磁気記憶装置のスイッチング磁場曲線（F）と比較して示した図。

【図13】本発明で使用するTMRセルの層構成の1例を示す素子断面図。

【図14】本発明で使用するTMRセルの層構成の他の1例を示す素子断面図。

50 【図15】本発明で使用するTMRセルの層構成の更に

13

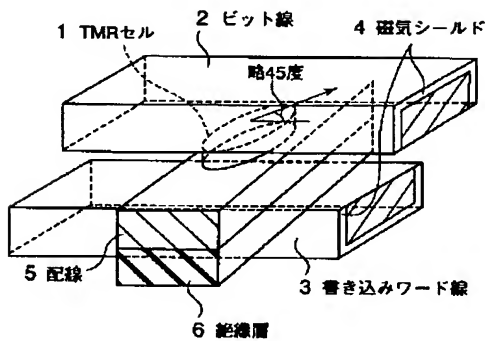
他の1例を示す素子断面図。

【図16】従来のクロスポイントのTMRセルの配置を示す模式的な斜視図。

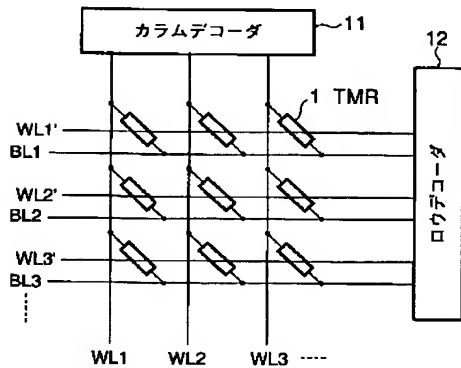
【符号の説明】

- 1…TMRセル
2…ビット線
3…書き込みワード線
4…磁気シールド
5…配線
6…絶縁層

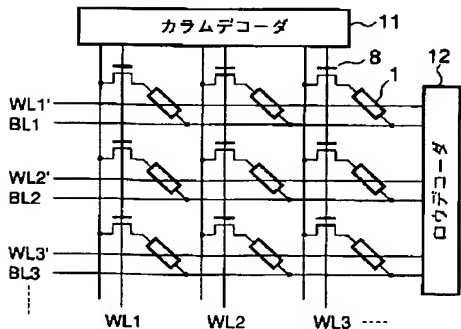
【図1】



【図3】



【図5】



14

7、9…ダイオード

8…MOSFET

10…ソフト磁性バイアス層

11…カラムデコーダ

12…ロウデコーダ

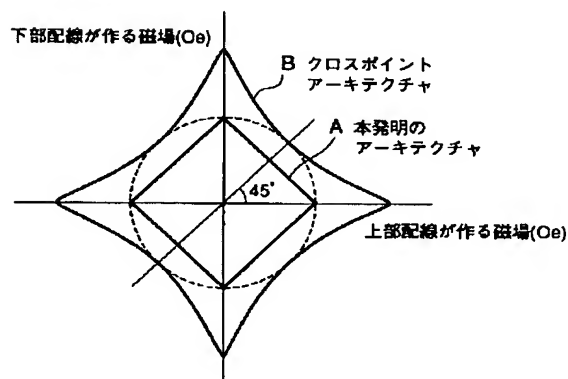
21, 31, 37…反強磁性層

22, 24, 32, 32-1, 32-2, 34, 36…強磁性層

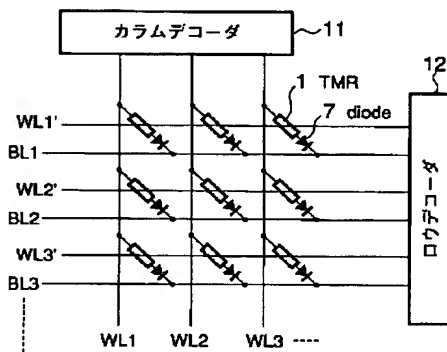
23, 33, 35…トンネルバリア層

10 38…非磁性層

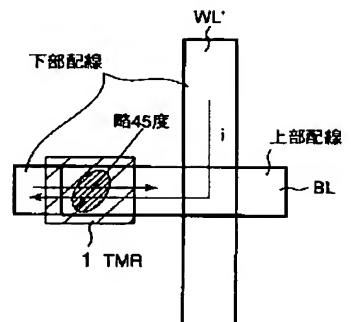
【図2】



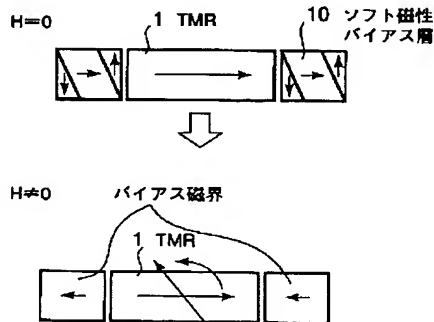
【図4】



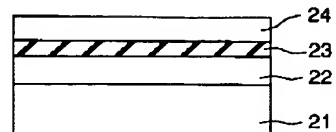
【図8】



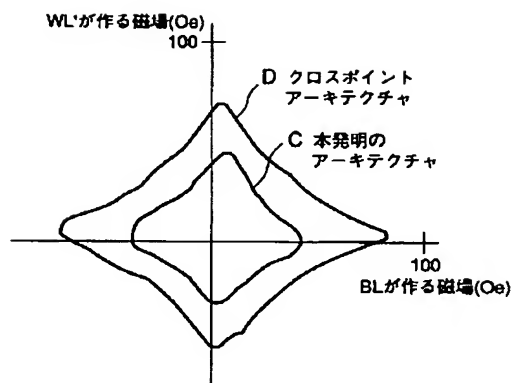
【図10】



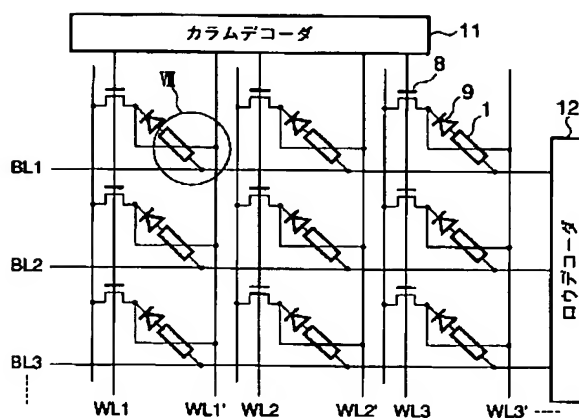
【図13】



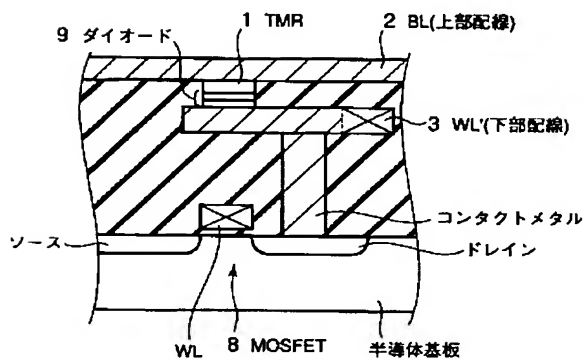
【図 6】



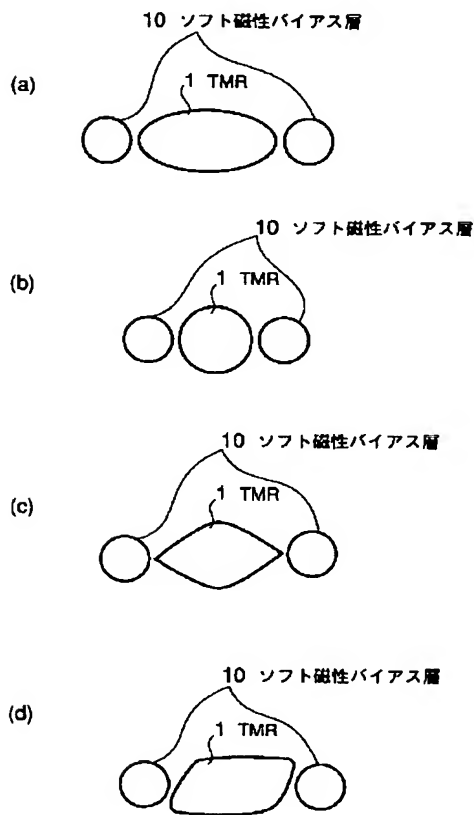
【図 7】



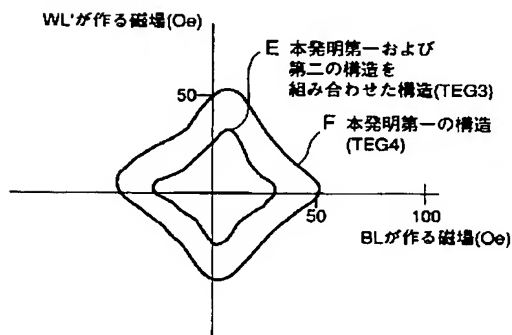
【図 9】



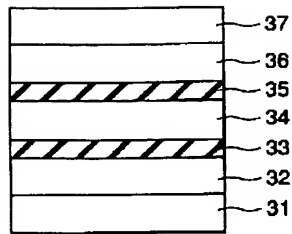
【図 11】



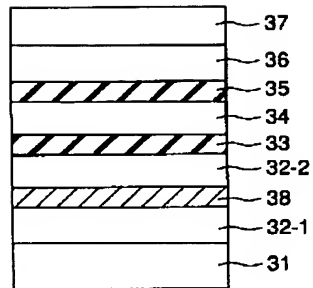
【図 12】



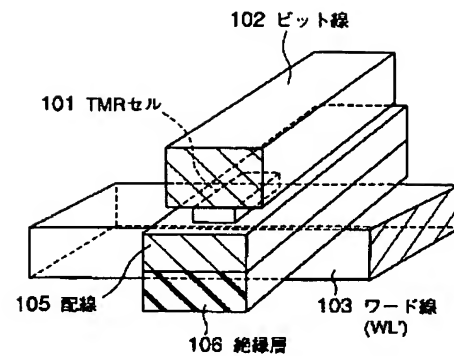
【図 14】



【図 15】



【図 16】



フロントページの続き

(72)発明者 天野 実
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72)発明者 中島 健太郎
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72)発明者 高橋 茂樹
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72)発明者 岸 達也
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

F ターム(参考) 5F083 FZ10 GA05 GA11 GA30 JA36
JA60 LA12 LA16 PR21 PR22